

**19 BUNDESREPUBLIK  
DEUTSCHLAND**

**DEUTSCHES  
PATENT- UND  
MARKENAMT**

**Offenlegungsschrift**  
**DE 102 29 945 A 1**

⑤ Int. Cl.<sup>7</sup>:  
**G 06 F 9/48**

**21** Aktenzeichen: 102 29 945.5  
**22** Anmeldetag: 4. 7. 2002  
**43** Offenlegungstag: 13. 2. 2003

**DE 102 29 945 A 1**

**(30) Unionspriorität:**  
011173564                      18. 07. 2001    EP

**(71) Anmelder:**  
International Business Machines Corp., Armonk,  
N.Y., US

**(74) Vertreter:**  
Klein, H., Rechtsanwalt, 70569 Stuttgart

⑦2 Erfinder:  
Staiger, Dieter E., 71093 Weil im Schönbuch, DE;  
Rieke, Reiner, 75382 Althengstett, DE

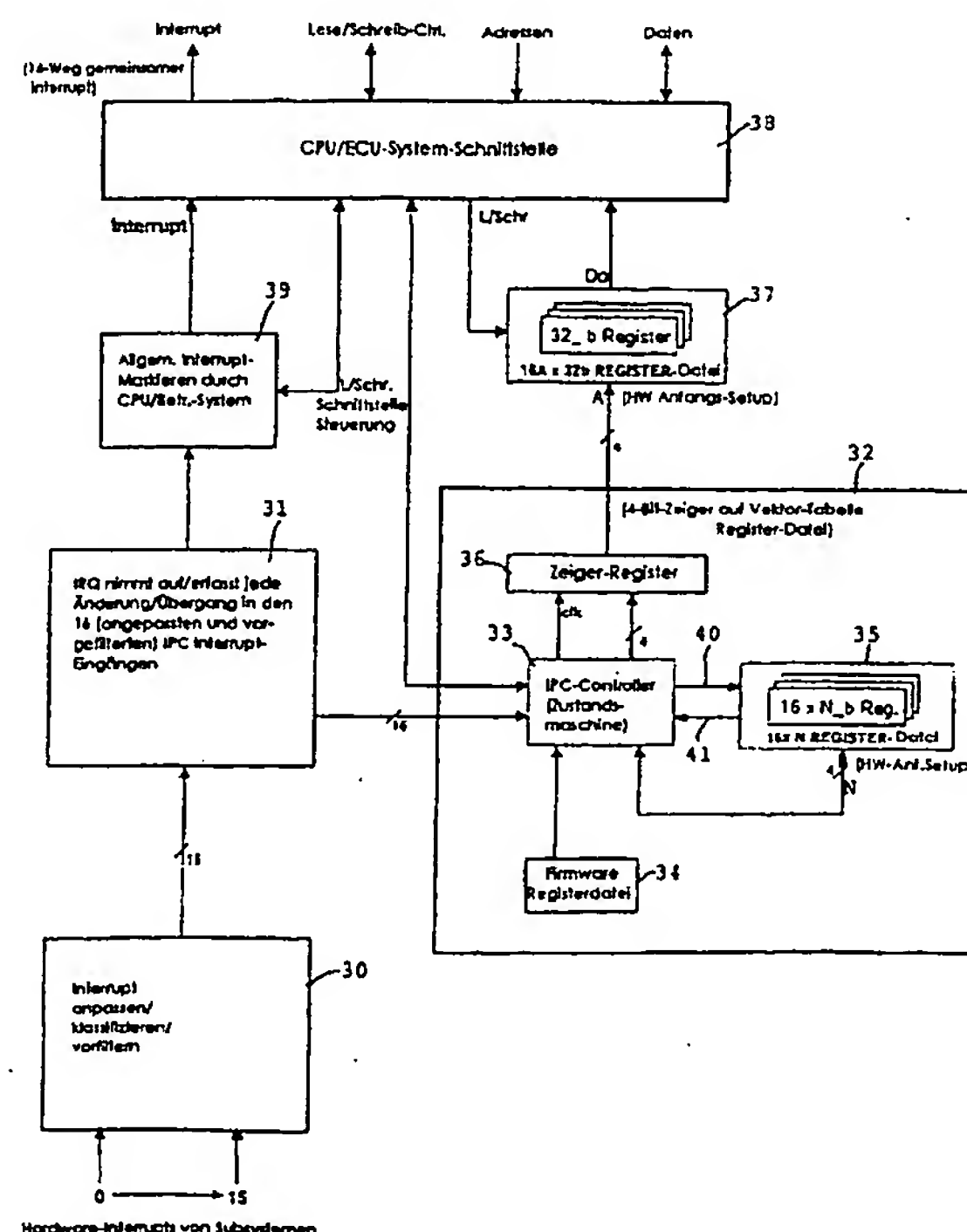
**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

**Prüfungsantrag gem. § 44 PatG ist gestellt**

⑤④ Interrupt-Prozess-Controller

(57) Die Erfindung betrifft einen Interrupt-Controller, der umfasst:

- parallele Eingangsmittel 30 zum Empfangen erster Unterbrechungsanforderungssignale;
- Mittel 31 zur Ausgabe eines zweiten Unterbrechungsanforderungssignals als Reaktion auf den Empfang mindestens eines der ersten Unterbrechungsanforderungssignale;
- Zustandsmaschinenmittel 32 zum Bestimmen einer Priorität für jedes der ersten Unterbrechungsanforderungssignale;
- Speichermittel 37 zum Speichern von Adressen von Unterbrechungsdienstprogrammen, wobei jedes der Unterbrechungsdienstprogramme einem der ersten Unterbrechungsanforderungssignale zugeordnet wird;
- Mittel 36 zum Auswählen einer der Adressen auf der Grundlage der Priorität.



**DE 102 29 945 A 1**

## BEREICH DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft allgemein das Gebiet der Verarbeitung von Unterbrechungsanforderungen. Insbesondere betrifft die Erfindung Interrupt-Controller und die effektive Übermittlung von Unterbrechungen auf ein Mikroprozessorsystem.

## DER ERFINDUNG ZUGRUNDELIEGENDER ALLGEMEINER STAND DER TECHNIK

## STAND DER TECHNIK

[0002] Eine Vorrichtung (z. B. eine Steuereinheit für ein Speicherlaufwerk) eines Computersystems kann mit einem Mikroprozessor eines Systems zusammenwirken, um eine spezifische Funktion (z. B. Abrufen von Daten von einer Festplatte) auszuführen. Während dieses Zusammenwirkens kann es z. B. nötig werden, im Gang befindliche Operationen des Mikroprozessors zeitweilig zu unterbrechen, damit der Mikroprozessor die Vorrichtung bedienen kann.

[0003] Zum Beispiel kann der Mikroprozessor einen Speicherlaufwerk-Controller anweisen, einen Datenblock von einem Festplattenlaufwerk abzurufen, und während der Speicherlaufwerk-Controller die Daten abrufen, kann der Mikroprozessor andere Operationen durchführen, wie z. B. einen Programmcode abarbeiten. Nachdem der Controller die Daten abgerufen und die Daten in einem Systemspeicher abgespeichert hat, kann dann der Controller den Mikroprozessor informieren.

[0004] Ein Weg für den Controller zum Informieren des Mikroprozessors ist das Generieren einer Unterbrechungsanforderung. Als Reaktion auf die Unterbrechungsanforderung hält der Mikroprozessor in der Regel jede im Gang befindliche Operation an, z. B. das Lesen der Daten aus dem Systemspeicher, und trifft Entscheidungen aufgrund dieser Daten.

[0005] Eine Unterbrechungsanforderung wird in der Regel über ein Unterbrechungsanforderungssignal übermittelt. Für eine flankengesteuerte Unterbrechungsanforderung verändert das Unterbrechungsanforderungssignal logische Zustände (wechselt z. B. von einem Zustand logisch "hoch" zu einem Zustand logisch "tief"), um die Unterbrechungsanforderung anzuzeigen. Eine höhengesteuerte Unterbrechungsanforderung wird in der Regel durch den logischen Zustand (entweder hoch oder tief) des Unterbrechungsanforderungssignals angezeigt. Also wird eine flankengesteuerte Unterbrechungsanforderung durch einen vorgegebenen Übergang des Unterbrechungsanforderungssignals angezeigt, und eine höhengesteuerte Unterbrechungsanforderung wird durch eine vorgegebene logische Höhe des Unterbrechungsanforderungssignals angezeigt.

[0006] Ein typisches Computersystem weist viele Vorrichtungen auf, auf die der Mikroprozessors achten muss, und somit gibt es viele Vorrichtungen, die Unterbrechungsanforderungen generieren müssen. Jedoch weist der Mikroprozessor möglicherweise nur einen einzigen Eingangskontaktstift auf und kann daher nur eine einzige Unterbrechungsanforderung auf einmal bearbeiten.

[0007] Aus US-A-6,192,442 ist ein Interrupt-Controller bekannt, der Unterbrechungsanforderungssignale von den Vorrichtungen empfängt, die Prioritäten der Unterbrechungsanforderungen, die durch diese Signale angezeigt werden, bestimmt und die Unterbrechungsanforderungen jeweils einzeln zu dem Mikroprozessor zur Ausführung schickt. Der Interrupt-Controller enthält Leiter zum Aufneh-

men der Unterbrechungsanforderungssignale, einen Speicher, ein Register und eine Steuerlogik. Jedes der Unterbrechungsanforderungssignale ist in der Lage, eine Unterbrechungsanforderung anzuzeigen. Der Speicher ist in der Lage, Informationen über die Unterbrechungsanforderungssignale zu speichern, und das Register kann beschrieben werden, um einen Satz Speicherstellen zum Abtasten zu identifizieren. Die Steuerlogik tastet nur den Satz Speicherstellen auf Unterbrechungsanforderungen und keine anderen Speicherstellen auf Unterbrechungsanforderungen ab. In einigen Fällen überschreitet die Anzahl der Unterbrechungsanforderungssignale die Anzahl der Speicherstellen. In diesen Fällen werden Informationen über angewählte Unterbrechungssignale an den Speicherstellen gespeichert.

[0008] Ferner ist auf dem Stand der Technik bekannt, dass die Kommunikation zwischen einer Kommunikationskarte und einem externen Prozessor, wie dem Prozessor auf einer Host-Controller-Karte, oder einem Systemeinheit-Prozessor, mittels Interrupts ausgeführt werden kann. Zum Beispiel zeigt US-A-6,233,643 einen Apparat einschließlich eines Host-Prozessors und Kommunikationsadapters, die über einen Bus verschaltet sind. Die Kommunikations-Adapter enthalten jeweils eine Anzahl digitaler Signalprozessoren und Netzwerk-Schnittstellenschaltungen zum Anschließen einer Mehrkanal-Telefonleitung. Ein Bus, der die Kommunikationsadapter verbindet, kann Daten zwischen einer Netzwerkleitung, die an einen der Adapter angeschlossen ist, und den digitalen Signalprozessoren der anderen Adapter übermitteln. Die Digitalsignalprozessoren auf jeder Karte sind verbunden mit einem Host- oder Controller-Prozessor. Jeder Digitalsignalprozessor unterbricht seinen Host-Prozessor durch Übertragen eines Interrupt-Steuerblocks als Daten zu einem Datenspeicher des Host-Prozessors und durch anschließend Senden eines Interrupts, das bewirkt, dass der Host-Prozessor den Datenspeicher prüft. Vorzugsweise beinhaltet der Interruptsteuerblock Daten, die eine Anzahl angeforderter Unterbrechungen darstellen.

[0009] US-Pat. Nr. 4,991,169 beschreibt die Anwendung eines dualen digitalen Signal-Prozessors (DSP), um Realzeit-Links zwischen Zeitvielfachkanälen eines digitalen Trägersystems (z. B. T-1) und einem Host-Datenprozessor vorzusehen. Beim Arbeiten nur mit digitalen Signalen, intern und an seinen Schnittstellen mit dem Träger- und dem Host-System, tauscht der DSP Daten und Steuersignalinformationen mit dem Trägersystem und Daten und Steuerinformationen mit dem Host-Prozessor aus, wandelt die Daten beim Durchlauf in unterschiedliche Digitalformen um. An der Schnittstelle zum Trägersystem werden die Signale aufgenommen und in eine Form übertragen, die an verschiedene Terminal-Geräte von Anwendern angepasst und mit dem Trägersystem über das geschaltete öffentliche Netzwerk entfernt verbunden sind. An der Host-Schnittstelle werden Signale in einer geeigneten Form übertragen und empfangen, die für die Datenverarbeitungs-Anforderungen des Host-Systems geeignet ist (z. B. Datenbytes, die direkt alphanumerische Zeichen darstellen). Der DSP arbeitet als gleichwertiges Gerät für mehrfache unterschiedliche Typen von Modems bei der Durchführung geforderter Umwandlungen. Der DSP kann auch Bearbeitungsdienste leisten, um die Bearbeitungslast an das Host-System zu reduzieren (d. i. Parity-Überprüfen von Daten, Erfassen von spezifischen Schriftzeichenfunktionen in Daten oder von spezifischen Tönen in Audio-Signalen, und selektives Stummschalten von Stimme-an-Host-Speichern für Sprachkommunikationssystem-Anwendungen).

[0010] US-Pat. Nr. 5,553,293 beschreibt eine Zwischenrechner-Interrupt-Einheit (IU) zum Bearbeiten von Interrupts zwischen einem Fernprozessor und einem Host-Pro-

zessor in einem Mehrprozessor-System. Die IPU ruft vom Bearbeitungsunterbrechungen betroffene Aufgaben vom Operationskern des Fernprozessors ab. Steuerblöcke mit Interrupt-Informationen und -befehlen werden durch den Fernprozessor im Data Random Access Memory (DRAM-Direktzugriffsspeicher) gespeichert. Der Fernprozessor packt einen Puffer aus Steuerblock-Speicheradressen in den DRAM für die IPU als Zugriff zum Abrufen der Steuerblöcke vom DRAM. Die IPU erhält einen Steuerblock und lädt den Steuerblock in Register. Die IPU gibt dann eine Unterbrechungsanforderung an den Host-Prozessor. Der Host-Prozessor erhält die Unterbrechungsanforderung und zeigt der IPU, dass der Interrupt bearbeitet wurde. Die IPU unterrichtet dann den Fernprozessor, dass der Interrupt bearbeitet wurde. Die IPU kann so programmiert werden, dass sie den Fernprozessor über den Abschluss entweder durch einen Interrupt oder durch Setzen eines Status-Flag in den DRAM unterrichtet.

[0011] US-Pat. Nr. 5,572,695 beschreibt ein digitales Signalverarbeitungssystem einschließlich erster und zweiter logischer Speicherabbildungseinheiten, die entsprechend mit ersten und zweiten digitalen Prozessoren und mit einer Datenspeichereinheit gekoppelt sind. Die erste und die zweite Abbildungseinheit sind wirksam zum Aufnehmen (i) erster und zweiter logischer Adressen, die von dem ersten bzw. dem zweiten digitalen Prozessor generiert wurden, und (ii) erster und zweiter Adressenabbildungsinformationen, und generieren erste und zweite physikalische Adressen, so dass jeder der digitalen Prozessoren unabhängig Zugriff auf beliebige einer Vielzahl von Speicherstellen in der Datenspeichereinheit nehmen kann.

#### ZUSAMMENFASSUNG DER ERFINDUNG.

[0012] Es ist daher eine Aufgabe der vorliegenden Erfindung, einen verbesserten Interrupt-Controller sowie eine verbesserte Methode zum Übertragen einer Unterbrechungsanforderung bereitzustellen.

[0013] Diese Aufgabe wird gelöst durch Anwenden der entsprechenden Merkmale der unabhängigen Ansprüche.

[0014] Bevorzugte Ausführungsformen der Erfindung sind gegeben durch die abhängigen Ansprüche.

[0015] Die Erfindung sieht vor ein wirksames Mittel zum Übermitteln von Unterbrechungsanforderungen an ein Mikroprozessorsystem mit verkleinerten Interrupt-Latenzzeiten. Damit wird die Zeitverzögerung zum Bedienen der Unterbrechungsanforderungen beträchtlich reduziert.

[0016] Gemäß einer bevorzugten Ausführungsform der Erfindung wird die Prioritätsfeststellung der Interruptanforderung beträchtlich beschleunigt und kann wirksam modifiziert werden.

[0017] Die Erfindung ist besonders vorteilhaft, weil sie ermöglicht, die Anforderung an Prozessorleistung durch Hinzufügen nur einer minimalen Menge zusätzlicher Schaltung zu reduzieren. Insbesondere ermöglicht das die kostenwirksamen Unterbrechungsbearbeitungslösungen mit reduzierten Anforderungen an Prozessorleistung und Merkmale und mit nur minimaler zusätzlicher Hardware für den Interrupt-Controller.

[0018] Es ist ein besonderer Vorteil der Erfindung, dass die Last auf das Betriebssystem des Prozessors wesentlich reduziert wird, d. h., es ist nicht länger nötig, dass das Betriebssystem die Anzahl der installierten Steuerprogramme bestimmt, damit es alle Steuerprogramme bearbeiten kann.

[0019] Gemäß einer weiteren bevorzugten Ausführungsform der Erfindung können Unterbrechungsanforderungen aufbereitet d. i. gefiltert und/oder maskiert werden, um die Wirksamkeit und Flexibilität der Abarbeitung der Unterbre-

chungsanforderungen noch weiter zu erhöhen.

[0020] Es ist ein weiterer besonderer Vorteil der Erfindung, dass sie ermöglicht, die im Betriebssystem induzierte Latenzzeit für die Abarbeitung der Unterbrechungsanforderungen zu minimieren.

[0021] Gemäß einer bevorzugten Ausführungsform der Erfindung wird der Interrupt-Controller mittels einer programmierbaren logischen Anordnung (PLA – programmierbare Logikanordnung) implementiert. Die PLAs werden vor den Interrupt-Eingang des entsprechenden Mikroprozessorsystems, wie z. B. eine zentrale Verarbeitungseinheit (CPU) eingefügt.

[0022] Alternativ wird der Interrupt-Controller zur Gänze mittels einer programmierbaren applikations-spezifischen integrierten Schaltung (pASIC) und/oder mittels eines feld-programmierbaren Gate Array (FPGA), das vor den Interrupt-Eingang des entsprechenden Mikroprozessorsystems eingesetzt wird, realisiert.

[0023] In einer weiteren bevorzugten Ausführungsform wird die Erfindung mittels eines ASIC implementiert, so dass der Interrupt-Controller an die Stelle des gesamten Standard-CPU-Interrupt-Controllers innerhalb des ASIC gesetzt wird. Mit anderen Worten, der Interrupt-Controller kann als ein integraler Teil des Mikroprozessorsystems auf dem gleichen Chip implementiert werden.

[0024] Nachstehend wird eine bevorzugte Ausführungsform der Erfindung in näheren Einzelheiten unter Bezugnahme auf die Zeichnungen erklärt, in diesen:

#### Kurze Beschreibung der Zeichnungen

[0025] Fig. 1 ist eine illustrative Darstellung einer Ausführungsform des Verfahrens zum Übertragen einer Unterbrechungsanforderung;

[0026] Fig. 2 zeigt ein Blockschaltbild einer Ausführungsform eines Interrupt-Controllers.

#### Detaillierte Beschreibung einer bevorzugten Ausführungsform

[0027] Fig. 1 zeigt ein Flussdiagramm zum Behandeln von Unterbrechungsanforderungen einer Anzahl externer Vorrichtungen X, Y, Z . . . Jede der Vorrichtungen X, Y, Z . . . ist verbunden mit dem Interrupt-Controller, der die Unterbrechungsanforderungen über einen entsprechenden gesonderten Kommunikationskanal X, Y, Z, . . . behandelt.

[0028] In Schritt 10 gibt die Vorrichtung 10 ein Unterbrechungsanforderungssignal aus. Das Unterbrechungsanforderungssignal der Vorrichtung X wird über den Kommunikationskanal X zum Interrupt-Controller übertragen. Innerhalb des gleichen Zeitschlitzes oder in nachfolgenden Zeitschlitzes geben die Vorrichtungen Y, Z, . . . über die entsprechenden Kommunikationskanäle Y, Z, . . . in den Schritten 11 und 12 weitere Unterbrechungsanforderungssignale aus.

[0029] Alle Unterbrechungsanforderungssignale werden in den Interrupt-Controller eingegeben. In Schritt 13 wird eine Unterbrechungsanforderung erfasst, wenn wenigstens eines der Unterbrechungsanforderungssignale vom Interrupt-Controller empfangen wird.

[0030] Als Reaktion auf das Erfassen einer oder mehrerer der Unterbrechungsanforderungen von einer oder mehreren der Vorrichtungen X, Y, Z . . . werden die entsprechenden Adressen der Vorrichtungen in Schritt 14 ausgegeben. Zum Beispiel kann eine Unterbrechungsanforderung einer der Vorrichtungen an den Interrupt-Prozess-Controller signalisiert werden durch Hochstellen einer Leitung, die dieser Vorrichtung zugeordnet ist.

[0031] Ohne Einschränkung der Allgemeinheit wird nach-



stehend angenommen, dass die zwei Vorrichtungen X und Y in den Schritten 10 und 11 Unterbrechungsanforderungssignale ausgegeben haben. Als Folge davon werden die Adressen der Vorrichtungen X und Y in Schritt 14 ausgegeben.

[0032] In Schritt 15 werden die Prioritäten der Vorrichtungen X und Y mittels der Adressen der Vorrichtungen X und Y aus einer Registerdatei gelesen. Vorzugsweise wird Schritt 15 mittels einer Zustandsmaschine ausgeführt.

[0033] In Schritt 16 wählt die Zustandsmaschine die Vorrichtung mit der höchsten Priorität an. Im hier betrachteten Beispiel ist das die Vorrichtung X.

[0034] In Schritt 17 wird eine Speicherstelle angewählt, die die Adresse eines Unterbrechungsdienstprogramms zum Behandeln der Unterbrechungsanforderung der Vorrichtung X enthält.

[0035] Parallel zu den Schritten 14, 15, 16 und 17 wird in Schritt 18 ein Unterbrechungsanforderungssignal an den entsprechenden Mikroprozessor ausgegeben. Der Mikroprozessor kann Teil eines Mikroprozessorsystems und/oder eine elektronische Steuereinheit, wie zum Beispiel in einer selbstbeweglichen und/oder nichtstationären Kommunikations- und/oder Datenverarbeitungsanlage sein.

[0036] In dem hier betrachteten Beispiel weist der Prozessor einen Kontaktstift zum Eingeben von Unterbrechungsanforderungssignalen auf. Das in Schritt 18 generierte Unterbrechungssignal wird an diesen Kontaktstift gelegt.

[0037] Als Reaktion auf den Eingang des Unterbrechungssignals in Schritt 18 wird im Prozessor eine Routine zum Durchführen einer Leseoperation in Schritt 19 aufgerufen. Mittels der Leseoperation liest der Prozessor die Speicherstelle, die in Schritt 17 angewählt wurde, um auf die Adresse des Unterbrechungsdienstprogramms zuzugreifen zum Behandeln der Unterbrechungsanforderung der Vorrichtung mit der höchsten Priorität, die in Schritt 16 angewählt wurde.

[0038] In Schritt 20 führt der Prozessor das Unterbrechungsdienstprogramm durch Zugreifen auf die Adresse, die in der Leseoperation in Schritt 19 erhalten wurde, durch.

[0039] Von Schritt 18 springt die Steuerung zurück zu Schritt 13, um weitere Unterbrechungsanforderungssignale zu erfassen. Das kann ständig gemacht werden, wenn höhengesteuerte Unterbrechungen angewandt werden. Wenn noch immer ein Unterbrechungssignal vorliegt, werden die obigen Schritte 14 bis 20 wiederholt ausgeführt, bis alle Unterbrechungsanforderungssignale von den Vorrichtungen X, Y, Z, . . . gelöscht sind.

[0040] Im hier betrachteten Beispiel löscht die Vorrichtung X ihr Unterbrechungsanforderungssignal, sobald ihre Unterbrechungsanforderung durch die Durchführung des Unterbrechungsdienstprogramms vom Prozessor bedient wurde. Das Unterbrechungsanforderungssignal der Vorrichtung Y ist noch immer aktiv "hoch", um anzuzeigen, dass die Vorrichtung Y noch auf das Bedienen ihrer Unterbrechungsanforderung wartet.

[0041] Das wird erfasst in Schritt 13, und die Schritte 14, 15, 16 und 17 werden erneut ausgeführt, so dass Vorrichtung Y als Vorrichtung mit höchster Priorität angewählt wird – die Vorrichtung X mit höherer Priorität hat ihr Unterbrechungsanforderungssignal bereits gelöscht. Da die Vorrichtung X ihr Unterbrechungsanforderungssignal gelöscht hat, wird die Adresse der Vorrichtung X in Schritt 14 nicht mehr ausgegeben und damit wird jetzt die Vorrichtung Y in Schritt 16 als Vorrichtung höchster Priorität angewählt – vorausgesetzt, dass keine andere Vorrichtung mit höherer Priorität als Vorrichtung Y inzwischen ein Unterbrechungsanforderungssignal ausgegeben hat.

[0042] Fig. 2 zeigt ein entsprechendes Blockdiagramm ei-

nes Interrupt-Controllers.

[0043] Der Interrupt-Controller erhält eine Anzahl paralleler Hardware-Eingänge aus einer Anzahl Subsysteme (vgl. Vorrichtungen X, Y, Z, . . . in Fig. 1).

5 [0044] Im hier betrachteten Beispiel weist der Eingang 30 des Interrupt-Controllers sechzehn gesonderte Eingangsstifte auf, die mit gesonderten Eingabeleitungen verbunden sind. Jede dieser gesonderten Eingangsleitungen ist mit einem Subsystem verbunden. Zusätzlich zum Empfangen der Unterbrechungsanforderungssignale von den Subsystemen dient der Eingang 30 zur Interrupt-Anpassung und/oder Klassifizierung und/oder Vorfilterung.

[0045] Der Eingang 30 ist verbunden mit einem Modul 31. Das Modul 31 dient zum Aufnehmen und Erfassen von Interrupts durch Erfassen jeder Änderung und/oder jedes Übergangs auf den 16 angepassten und/oder vorgefilterten Interrupt-Eingängen des Interrupt-Controllers (IPC), wie sie vom Eingang 30 ausgegeben werden.

[0046] Wenn ein Übergang vorkommt, d. h. eine oder mehrere der Eingangsleitungen des Eingangs 30 "hoch" gehen, wird das vom Modul 31 erfasst und die entsprechenden Daten werden an das Zustandsmaschinenmodul 32 übertragen. Die von Modul 31 an das Zustandsmaschinenmodul 32 übertragenen Daten weisen auf die Vorrichtungen hin, die eine Unterbrechungsanforderung ausgegeben haben. Zum Beispiel kann das Modul 31 die Adressen der entsprechenden Vorrichtungen und/oder die Adressen der entsprechenden Unterbrechungsanforderungen übertragen.

[0047] Diese Daten werden in eine Zustandsmaschine 33 eingegeben, die als IPC-Controller arbeitet. Die Zustandsmaschine 33 wird mittels einer Registerdatei 34 programmiert, die das entsprechende festgespeicherte Standardprogramm (Firmware) enthält.

[0048] Bei Eingang der Daten vom Modul 31 in der Zustandsmaschine 33 führt die Zustandsmaschine 33 eine Zugriffsoption auf eine Registerdatei 35 durch.

[0049] Die Registerdatei 35 enthält eine Priorität für jede der externen Vorrichtungen und ihre entsprechenden Unterbrechungsanforderungen. Die Zustandsmaschine 33 liest die entsprechenden Prioritäten mittels der Adressendaten, wie sie vom Modul 31 vorsehen werden. Durch Vergleichen der Prioritäten identifiziert die Zustandsmaschine 33 die Unterbrechungsanforderungen der höchsten Priorität. Die entsprechenden Daten werden von der Zustandsmaschine 33 in ein Zeigerregister 36 geschrieben.

[0050] Das Zeigerregister 36 ist mit einer Registerdatei 37 gekoppelt. Der Ausgang des Zeigerregisters 36 bestimmt das Register der Registerdatei 37, das nach einer Leseanforderung seitens der Systemschnittstelle 38 ausgegeben wird.

[0051] Jedes Register der Registerdatei 37 enthält eine Adresse eines Unterbrechungsdienstprogramms zum Behandeln einer Unterbrechungsanforderung eines der Subsysteme/Vorrichtungen. Der Inhalt des Zeigerregisters 36 bestimmt die Auswahl des Registers innerhalb der Registerdatei 37 und damit die Anwahl des geeigneten Unterbrechungsdienstprogramms.

[0052] Beide Registerdateien, 35 und 37, können mittels nichtflüchtiger Speichervorrichtungen implementiert werden, um die entsprechenden Daten in die Registerdateien vorzuprogrammieren.

[0053] Das Modul 31 gibt ferner ein Unterbrechungssignal an ein Modul 39. Das Modul 39 dient zum selektiven Maskieren von Unterbrechungsanforderungen. Das Modul 39 gibt Unterbrechungsanforderungssignale, die nicht maskiert sind, in die Systemschnittstelle 38 ein, die ihrerseits ein entsprechendes Unterbrechungsanforderungssignal an einen Mikroprozessor ausgibt.

[0054] Wenn der Mikroprozessor das Unterbrechungsan-

forderungssignal erhält, führt er eine Lesezugriffsoperation auf die Systemschnittstelle 38 durch, um eines der Register der Registerdatei 37 zu lesen. Der Inhalt dieses einen Registers der Registerdatei 37 wird von der Registerdatei 37 an die Systemschnittstelle 38 ausgegeben, von der der Inhalt an den Mikroprozessor ausgegeben wird.

[0055] Das Register der Registerdatei 37, von dem die Daten ausgegeben werden, wird bestimmt von dem Zeigerregister 36, so dass der Mikroprozessor die Adresse des Unterbrechungsdienstprogramms zum Behandeln der Unterbrechungsanforderung des Subsystems/der Vorrichtung mit der höchsten Priorität erhält.

[0056] Auf diese Weise lässt der Mikroprozessor dieses Unterbrechungsdienstprogramm anlaufen, so dass die Unterbrechungsanforderung der entsprechenden Vorrichtung von dieser Vorrichtung gelöscht wird. Das wird vom Modul 31 bemerkt, so dass der Inhalt des Zeigerregisters 36 im Zustandsmaschinenmodul 32 entsprechend verändert wird, um ein anderes Unterbrechungsdienstprogramm zum Behandeln einer der augenblicklich aktivierten Unterbrechungsanforderungen durchzuführen.

[0057] Gemäß einer bevorzugten Ausführungsform der Erfindung enthält die Registerdatei 35 neben den Prioritäten der Unterbrechungsanforderungen zusätzliche Informationen. Zum Beispiel hat jede Priorität eine ihr zugewiesene Speicherstelle zum Speichern zusätzlicher Daten.

[0058] In einer Ausführungsform sind die zusätzlichen Daten ein Hinweis für die Länge der Zeit, z. B. in Millisekunden oder als Taktzyklen. In diesem Fall hat die Zustandsmaschine 33 einen zusätzlichen Zeitgeber für jedes Subsystem. Wenn ein Subsystem eine Unterbrechungsanforderung erhebt, läuft der zugehörige Zeitgeber an.

[0059] Zum Bestimmen der Unterbrechungsanforderung mit der höchsten Priorität liest die Zustandsmaschine 33 sowohl die Priorität jeder Unterbrechungsanforderung aus der Registerdatei 35 als auch die entsprechenden zusätzlichen Daten, die einen Zeitwert im hier betrachteten Beispiel enthalten. Das geschieht mittels der Adressenleitung 40 und der Lese/Schreib-Steuerleitung 41.

[0060] Die Zustandsmaschine 33 bestimmt die Unterbrechung mit der höchsten Priorität durch Berücksichtigung der Prioritäten und der Zeitwerte, die aus der Registerdatei 35 für die aktivierten Unterbrechungsanforderungen erhalten wurden.

[0061] In einem ersten Schritt werden die Prioritäten der aktiven Unterbrechungsanforderungen verglichen und der höchste Prioritätswert wird bestimmt. Die entsprechende Unterbrechungsanforderung wird definiert als Unterbrechungsanforderung mit der höchsten Priorität, abgesehen davon, wenn eine Unterbrechungsanforderung mit einer niedrigeren Priorität vorliegt, deren Zeitwert vom entsprechenden Zeitwert des Zeitgebers der Zustandsmaschine 33 überholt wurde, der zu dieser Anforderung niedrigerer Priorität gehört.

[0062] In diesem letzteren Fall wird die Anforderung niedrigerer Priorität als Anforderung mit der höchsten Priorität definiert und entsprechende Daten werden an das Zeigerregister 36 gegeben, so dass der Mikroprozessor die Adresse des Unterbrechungsdienstprogramms zum Behandeln der Unterbrechungsanforderung des Subsystems als diejenige erhält, die von der Zustandsmaschine 33 im Hinblick auf die Prioritätswerte und die in der Registerdatei 35 gespeicherten Zeitwerte ausgewählt wurde.

[0063] In einer anderen Ausführungsform enthalten die zusätzlichen Daten, die in der Registerdatei 35 in Zusammenhang mit der Priorität einer Unterbrechungsanforderung gespeichert werden, Daten, die eine maximale Anzahl vom Ausführungszyklen anzeigen, die von dem Prozessor zum

Bearbeiten von Unterbrechungsanforderungen höherer Priorität ausgeführt werden. Wenn die wahre Anzahl von Ausführungszyklen, die vom Prozessor nach einer Unterbrechungsanforderung einer niedrigeren Priorität durchgeführt werden, angehoben wird und die Anzahl der Ausführungszyklen, die von den in der Registerdatei 35 gespeicherten Daten angezeigt werden, übersteigt, wird die Unterbrechungsanforderung der niedrigeren Priorität von der Zustandsmaschine 33 als Unterbrechungsanforderung der höchsten Priorität definiert.

[0064] Auf diese Weise wird eine Situation vermieden, in der Unterbrechungsanforderungen niedrigerer Priorität nicht mehr innerhalb einer angemessenen Latenzzeit ausgeführt werden, wenn laufend Unterbrechungsanforderungen höherer Priorität vorhanden sind.

#### Patentansprüche

1. Einen Interrupt-Controller, enthaltend:  
Parallele Eingangsmittel (30) zum Empfangen erster Unterbrechungsanforderungssignale;  
Mittel (31, 32) zur Ausgabe eines zweiten Unterbrechungsanforderungssignals als Reaktion auf den Empfang mindestens eines der ersten Unterbrechungsanforderungssignale;  
Zustandsmaschinenmittel (33, 34, 35, 36) zum Bestimmen einer Priorität für jedes der ersten Unterbrechungsanforderungssignale;  
Speichermittel (37) zum Speichern von Adressen von Unterbrechungsdienstprogrammen, wobei jedes der Unterbrechungsdienstprogramme einem der ersten Unterbrechungsanforderungssignale zugeordnet wird;  
Mittel (36) zum Anwählen einer der Adressen auf der Grundlage der Priorität.
2. Der Interrupt-Controller gemäß Anspruch 1, bei dem die parallelen Eingangsmittel eine Anzahl gesonderter Verbindungskanäle aufweisen, wobei jeder der gesonderten Verbindungskanäle so ausgelegt ist, dass er eines der ersten Unterbrechungsanforderungssignale von einer externen Vorrichtung empfängt.
3. Der Interrupt-Controller gemäß Anspruch 1 oder 2, der ferner Mittel zum Anpassen des Interrupts und/oder zur Klassifizierung des Interrupts und/oder zum Vorfiltern des Interrupts aufweist.
4. Der Interrupt-Controller gemäß Anspruch 1, 2 oder 3, wobei die ersten Unterbrechungsanforderungssignale höhengesteuerte Unterbrechungsanforderungssignale sind.
5. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 1 bis 4, der ferner Mittel (31) zum Ausgeben von Daten aufweist, die hinweisend auf eines oder auf mehrere der ersten Unterbrechungsanforderungssignale sind, die von den parallelen Eingangsmitteln als Eingangssignal für das Zustandsmaschinenmittel empfangen wurden.
6. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 1 bis 5, in dem das Zustandsmaschinenmittel eine Registerdatei (35) zum Speichern einer Priorität für jedes der ersten Unterbrechungsanforderungssignale aufweist.
7. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 1 bis 6, in dem das Zustandsmaschinenmittel ferner ein Zeigerregister (36) zum Anwählen einer der Adressen des Speichermittels aufweist.
8. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 1 bis 7, der ferner ein Mikroprozessor-Schnittstellenmittel (38) zum Ausgeben

des zweiten Unterbrechungsanforderungssignals an ein Mikroprozessorsystem und zum Empfangen eines Lesebefehls vom Mikroprozessorsystem zum Lesen der angewählten Adresse aus dem Speichermittel und zum Ausgeben der angewählten Adresse aus dem Speichermittel an das Mikroprozessorsystem aufweist. 5

9. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 1 bis 8, der ferner Mittel (39) zum Maskieren von zweiten Unterbrechungsanforderungssignalen aufweist. 10

10. Der Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 6 bis 9, wobei die Registerdatei einen zusätzlichen Datenwert für jede der Prioritäten als zusätzliches Auswahlkriterium für das Zustandsmaschinenmittel zum Bestimmen der Unterbrechung mit der höchsten Priorität enthält. 15

11. Ein Verfahren zum Übermitteln erster Unterbrechungsanforderungssignale von einer Vielzahl externer Vorrichtungen an ein Mikroprozessorsystem, wobei das Verfahren die folgenden Schritte enthält: 20

- Erfassen von mindestens einem der ersten Unterbrechungsanforderungssignale;
- Bestimmen einer Priorität für jedes der ersten Unterbrechungsanforderungssignale;
- Auswählen eines der ersten Unterbrechungsanforderungssignale mit der höchsten Priorität;
- Anwählen einer Speicherstelle zum Aktivieren der Ausgabe einer Adresse eines Unterbrechungsdienstprogramms für das ausgewählte erste Unterbrechungsanforderungssignal; 25
- Ausgabe eines zweiten Unterbrechungsanforderungssignals an das Mikroprozessorsystem;
- Lesen der angewählten Speicherstelle durch das Mikroprozessorsystem;
- Ausführung des Unterbrechungsdienstprogramms durch das Mikroprozessorsystem. 35

12. Das Verfahren gemäß Anspruch 11, in dem die ersten Unterbrechungsanforderungssignale höhengesteuerte Signale sind.

13. Das Verfahren gemäß Anspruch 11 oder 12, das ferner das Ausgeben eines nachfolgenden zweiten Unterbrechungsanforderungssignals zum Bearbeiten eines anderen der ersten Unterbrechungsanforderungssignale umfasst. 40

14. Das Verfahren gemäß Anspruch 11, 12 oder 13, bei dem die Schritte des Bestimmens einer Priorität, Auswahl eines der ersten Unterbrechungsanforderungssignale und Auswahl einer Speicherstelle von einer Zustandsmaschine ausgeführt werden. 45

15. Das Verfahren gemäß einem beliebigen der vorstehenden Ansprüche 11 bis 14, das ferner einen Schritt zum Anpassen des Interrupts und/oder zur Klassifizierung des Interrupts und/oder zum Vorfiltern für die ersten Unterbrechungsanforderungssignale aufweist. 50

16. Das Verfahren gemäß einem beliebigen der vorstehenden Ansprüche 11 bis 15, das ferner einen Schritt zum Maskieren von zweiten Unterbrechungsanforderungssignalen aufweist. 55

17. Das Verfahren gemäß einem beliebigen der vorstehenden Ansprüche 11 bis 16, das ferner das Testen eines zusätzlichen Auswahlkriteriums im Hinblick auf jede aktivierte Unterbrechungsanforderung und Auswahl der Unterbrechungsanforderung aufweist, die dem Kriterium als Unterbrechungsanforderung der höchsten Priorität entspricht, wobei das Auswahlkriterium vorzugsweise ein Zeitwert oder eine Anzahl Ausführungszyklen ist. 60

18. Ein elektronisches System, das ein Mikroprozessorsystem und einen Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 11 bis 17 aufweist, wobei das Mikroprozessorsystem an den Interrupt-Controller zum Empfangen der zweiten Unterbrechungsanforderungssignale und zum Lesen der angewählten Speicherstellen gekoppelt ist. 65

sorsystem und einen Interrupt-Controller gemäß einem beliebigen der vorstehenden Ansprüche 11 bis 17 aufweist, wobei das Mikroprozessorsystem an den Interrupt-Controller zum Empfangen der zweiten Unterbrechungsanforderungssignale und zum Lesen der angewählten Speicherstellen gekoppelt ist.

---

Hierzu 2 Seite(n) Zeichnungen

---



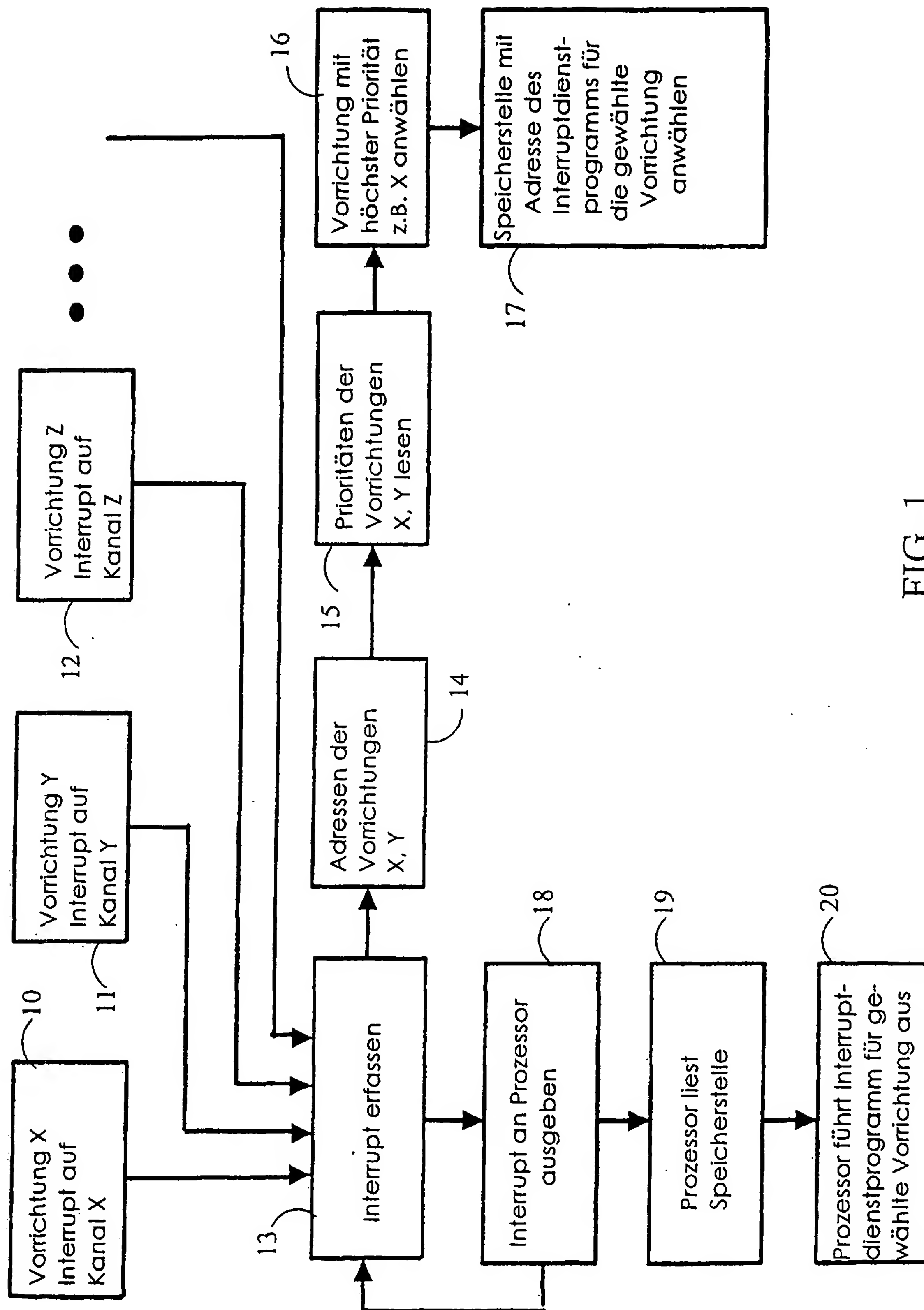


FIG. 1

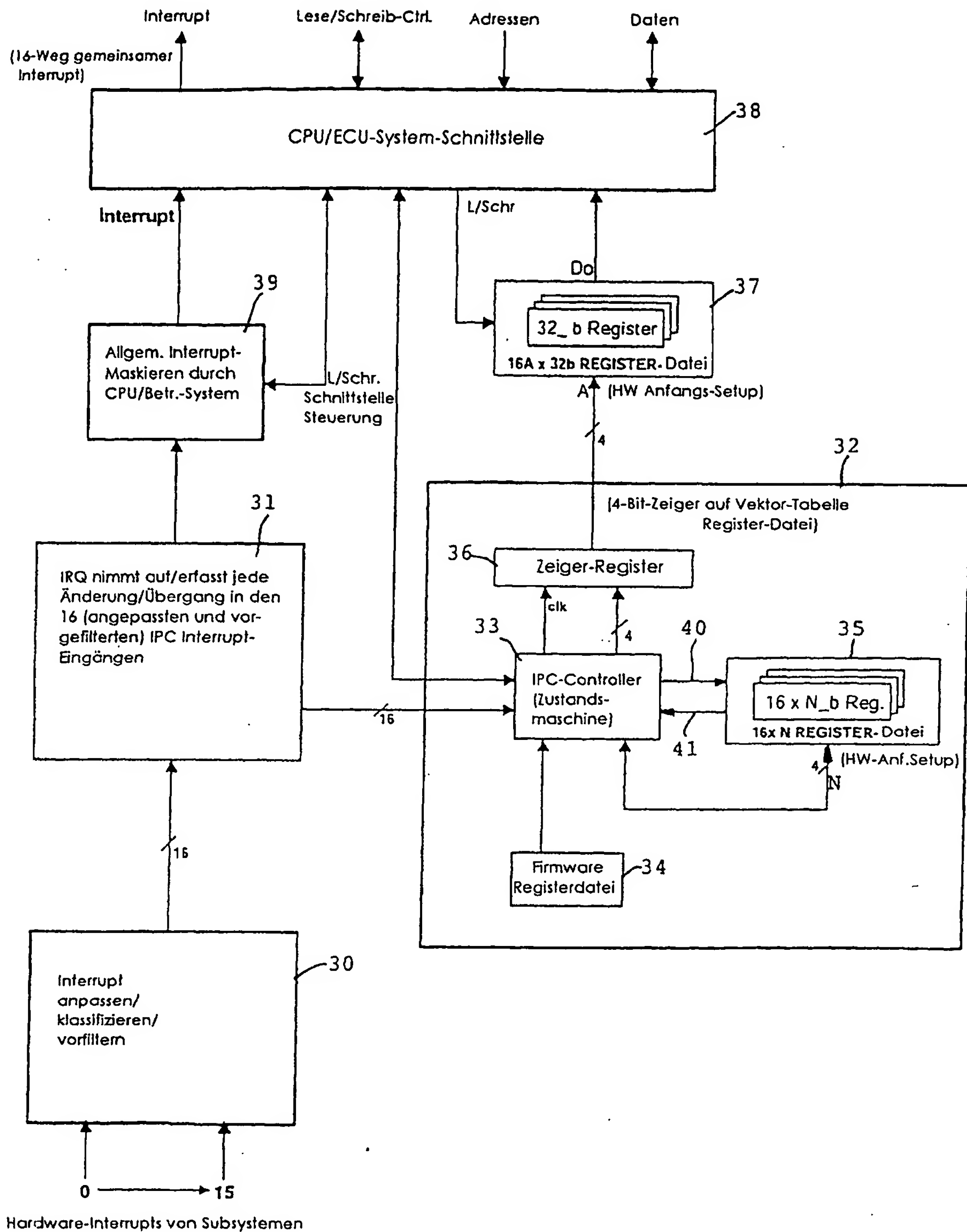


FIG. 2